

PATENT
81751.0065
Express Mail Label No. EV 325 217 390 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:	Art Unit: Not assigned
Takahiro IMAI	Examiner: Not assigned
Serial No: Not assigned	
Filed: September 12, 2003	
For: Semiconductor Device and Method of Manufacturing the Same, Circuit Board, and Electronic Instrument	

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

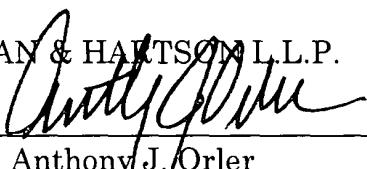
Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-277454 which was filed September 24, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: September 12, 2003
By: 
Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 9月24日

出願番号

Application Number: 特願2002-277454

[ST.10/C]:

[JP2002-277454]

出願人

Applicant(s): セイコーホーリー株式会社

2003年 7月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3052916



【書類名】 特許願

【整理番号】 EP-0396101

【提出日】 平成14年 9月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/00

【発明者】

【住所又は居所】 山形県酒田市十里塚166番地3 東北エプソン株式会社
社内

【氏名】 今井 隆浩

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項1】 (a) 集積回路及び電極が形成された半導体基板に第1の面から溝を形成すること、

(b) 少なくとも前記溝の内面に絶縁層を形成すること、

(c) 前記溝の内面で前記絶縁層上に導電層を形成すること、

(d) 前記半導体基板を前記第1の面とは反対側の第2の面から前記溝が露出する厚さまで研磨して、前記半導体基板を、前記導電層が側面に露出してなる複数の前記半導体チップに分割すること、

(e) 複数の前記半導体チップを積層すること、及び、

(f) 複数の前記半導体チップのうち、いずれかの前記半導体チップの前記導電層と、他の前記半導体チップの前記導電層と、を電気的に接続することを含む半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記(b)工程で、前記絶縁層を、前記溝の内面から前記第1の面にかけて連続的に形成する半導体装置の製造方法。

【請求項3】 請求項1又は請求項2に記載の半導体装置の製造方法において、

前記(c)工程で、前記導電層を前記溝の内面から前記第1の面にかけて連続的に形成する半導体装置の製造方法。

【請求項4】 請求項1から請求項3のいずれかに記載の半導体装置の製造方法において、

前記(c)工程で、前記導電層を前記電極に電気的に接続させる半導体装置の製造方法。

【請求項5】 請求項1から請求項4のいずれかに記載の半導体装置の製造方法において、

前記(e)工程で、複数の前記半導体チップを、前記電極の形成された面が同

一方方向を向くように積層する半導体装置の製造方法。

【請求項6】 請求項1から請求項4のいずれかに記載の半導体装置の製造方法において、

前記(e)工程で、複数の前記半導体チップを、いずれかの前記半導体チップの前記電極の形成された面が他の前記半導体チップの前記電極の形成された面とは反対方向を向くように積層する半導体装置の製造方法。

【請求項7】 請求項1から請求項6のいずれかに記載の半導体装置の製造方法において、

前記(e)工程は、前記半導体チップ同士の間に絶縁部材を設けることを含む半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

前記(e)工程で、前記絶縁部材を、前記半導体チップの側面よりも突出するように設ける半導体装置の製造方法。

【請求項9】 請求項1から請求項8のいずれかに記載の半導体装置の製造方法において、

前記(f)工程は、前記導電層同士を電気的に接続する第2の導電層を、少なくとも1つの前記半導体チップの側面に形成することを含む半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層を、前記半導体チップの高さ方向に延びるように形成することで、前記半導体チップの幅方向に一致してなる前記導電層同士を電気的に接続する半導体装置の製造方法。

【請求項11】 請求項9記載の半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層を、前記半導体チップの幅方向に延びる部分を有するように形成することで、前記半導体チップの幅方向にずれてなる前記導電層同士を電気的に接続する半導体装置の製造方法。

【請求項12】 請求項8を引用する請求項11記載の半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層の一部を前記絶縁部材の前記突出部に形

成する半導体装置の製造方法。

【請求項13】 請求項9から請求項12のいずれかに記載の半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層を、ろう材によって形成する半導体装置の製造方法。

【請求項14】 請求項9から請求項12のいずれかに記載の半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層を、導電性材料の微粒子を含む溶媒を吐出することで形成する半導体装置の製造方法。

【請求項15】 請求項1から請求項14のいずれかに記載の半導体装置の製造方法において、

少なくとも前記(d)工程後に、

(g) 複数の前記半導体チップを基板に搭載すること、及び、

(h) 前記半導体チップを前記基板の配線パターンに電気的に接続することをさらに含む半導体装置の製造方法。

【請求項16】 請求項15記載の半導体装置の製造方法において、

前記(e)及び(g)工程を終了した後に、前記(f)及び(h)工程を行う半導体装置の製造方法。

【請求項17】 請求項15又は請求項16記載の半導体装置の製造方法において、

前記(h)工程で、前記導電層を、ろう材によって前記配線パターンに電気的に接続する半導体装置の製造方法。

【請求項18】 請求項15又は請求項16記載の半導体装置の製造方法において、

前記(h)工程で、前記導電層を、導電性材料の微粒子を含む溶媒を吐出することで前記配線パターンに電気的に接続する半導体装置の製造方法。

【請求項19】 請求項1から請求項18のいずれかに記載の方法によって製造されてなる半導体装置。

【請求項20】 第1の面を有し、集積回路及び電極が形成されるとともに

積層されてなる複数の半導体チップと、

前記半導体チップの前記第1の面からそれに連続する側面にかけて連続的に形成された絶縁層と、

前記半導体チップの側面で前記絶縁層上に形成された導電層と、

前記複数の半導体チップのうち、いずれかの半導体チップの前記導電層と、他の半導体チップの前記導電層と、を電気的に接続する第2の導電層と、

を含み、

前記半導体チップの側面の前記導電層から露出する部分は、前記絶縁層で覆われてなり、

前記第2の導電層は、少なくとも1つの半導体チップの側面に形成されてなる半導体装置。

【請求項21】 請求項20記載の半導体装置において、

前記導電層は、前記半導体チップの側面から前記第1の面にかけて連続的に形成されてなる半導体装置。

【請求項22】 請求項20又は請求項21に記載の半導体装置において、

前記導電層は、前記電極に電気的に接続されてなる半導体装置。

【請求項23】 請求項20から請求項22のいずれかに記載の半導体装置において、

前記複数の半導体チップは、前記電極の形成された面が同一方向を向くように積層されてなる半導体装置。

【請求項24】 請求項20から請求項22のいずれかに記載の半導体装置において、

前記複数の半導体チップは、いずれかの前記半導体チップの前記電極の形成された面が他の前記半導体チップの前記電極の形成された面とは反対方向を向くように積層されてなる半導体装置。

【請求項25】 請求項20から請求項24のいずれかに記載の半導体装置において、

前記半導体チップ同士の間に絶縁部材が設けられてなる半導体装置。

【請求項26】 請求項25記載の半導体装置において、

前記絶縁部材は、前記半導体チップの側面よりも突出してなる半導体装置。

【請求項27】 請求項20から請求項26のいずれかに記載の半導体装置において、

前記第2の導電層は、前記半導体チップの高さ方向に延びてなり、前記半導体チップの幅方向に一致してなる前記導電層同士を電気的に接続する半導体装置。

【請求項28】 請求項20から請求項26のいずれかに記載の半導体装置において、

前記第2の導電層は、前記半導体チップの幅方向に延びる部分を有し、前記半導体チップの幅方向にずれてなる前記導電層同士を電気的に接続する半導体装置。

【請求項29】 請求項26を引用する請求項28記載の半導体装置において、

前記第2の導電層の一部は、前記絶縁部材の前記突出部に形成されてなる半導体装置。

【請求項30】 請求項20から請求項29のいずれかに記載の半導体装置において、

前記第2の導電層は、ろう材によって形成されてなる半導体装置。

【請求項31】 請求項20から請求項29のいずれかに記載の半導体装置において、

前記第2の導電層は、導電性材料の微粒子を含む溶媒によって形成されてなる半導体装置。

【請求項32】 請求項20から請求項31のいずれかに記載の半導体装置において、

配線パターンが形成された基板をさらに含み、

前記複数の半導体チップは、前記基板に搭載されるとともに、前記導電層を介して前記配線パターンに電気的に接続されてなる半導体装置。

【請求項33】 請求項20から請求項32のいずれかに記載の半導体装置において、

前記複数の半導体チップの外形の大きさは、ほぼ同じである半導体装置。

【請求項34】 請求項20から請求項32のいずれかに記載の半導体装置において、

前記複数の半導体チップのうち、いずれかの前記半導体チップの外形の大きさは、他の前記半導体チップの外形の大きさとは異なっている半導体装置。

【請求項35】 請求項19から請求項34のいずれかに記載の半導体装置が実装された回路基板。

【請求項36】 請求項19から請求項34のいずれかに記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】

3次元的実装形態の半導体装置が開発されている。例えば、ワイヤによって上下の電気的な接続を図ることが知られているが、各半導体チップの電極にワイヤをボンディングしなければならず、多数の半導体チップを積層すると工程が複雑になってしまう。さらに、ワイヤボンディングの領域を露出させる必要があるので、半導体チップの外形及び電極の位置などが制限されてしまう。

【0003】

また、半導体チップに貫通穴を形成し、貫通穴の内面に絶縁層を形成し、その内側に貫通電極を形成することが知られている。その場合、小さな貫通穴の内面に絶縁層を形成することが難しく、その内側に導電電極を形成することも難しい。また、集積回路の設計を貫通穴を避けて行う必要があるので、設計上の制約が多くなってしまう。

【0004】

本発明の目的は、薄型かつ高集積の半導体装置を簡単な工程で製造することにある。

【0005】

【課題を解決するための手段】

- (1) 本発明に係る半導体装置の製造方法は、(a) 集積回路及び電極が形成された半導体基板に第1の面から溝を形成すること、
(b) 少なくとも前記溝の内面に絶縁層を形成すること、
(c) 前記溝の内面で前記絶縁層上に導電層を形成すること、
(d) 前記半導体基板を前記第1の面とは反対側の第2の面から前記溝が露出する厚さまで研磨して、前記半導体基板を、前記導電層が側面に露出してなる複数の前記半導体チップに分割すること、
(e) 複数の前記半導体チップを積層すること、及び、
(f) 複数の前記半導体チップのうち、いずれかの前記半導体チップの前記導電層と、他の前記半導体チップの前記導電層と、を電気的に接続することを含む。

【0006】

本発明によれば、半導体チップの側面に形成された導電層によって、複数の積層された半導体チップを電気的に接続する。導電層は、半導体基板の状態で一括して形成することができるので、製造工程が簡単である。また、導電層は他の半導体チップによって覆われることないので、半導体チップの外形及び電極の位置に制限されることなく、設計自由度の高い半導体装置を製造することができる。

【0007】

(2) この半導体装置の製造方法において、

前記(b)工程で、前記絶縁層を、前記溝の内面から前記第1の面にかけて連続的に形成してもよい。

【0008】

これによって、絶縁層で半導体チップの角部を覆うことができる。したがって、半導体チップの角部を絶縁層で保護することができるので、チッピングの発生及び拡大を低減し、また、例えば第1の面に形成された集積回路の素子及び配線の剥離を防止することができる。

【0009】

(3) この半導体装置の製造方法において、

前記(c)工程で、前記導電層を前記溝の内面から前記第1の面にかけて連続的に形成してもよい。

【0010】

これによれば、導電層を配線となるように形成してもよい。

【0011】

(4) この半導体装置の製造方法において、

前記(c)工程で、前記導電層を前記電極に電気的に接続させてもよい。

【0012】

(5) この半導体装置の製造方法において、

前記(e)工程で、複数の前記半導体チップを、前記電極の形成された面が同一方向を向くように積層してもよい。

【0013】

(6) この半導体装置の製造方法において、

前記(e)工程で、複数の前記半導体チップを、いずれかの前記半導体チップの前記電極の形成された面が他の前記半導体チップの前記電極の形成された面とは反対方向を向くように積層してもよい。

【0014】

(7) この半導体装置の製造方法において、

前記(e)工程は、前記半導体チップ同士の間に絶縁部材を設けることを含んでもよい。

【0015】

これによって、半導体チップ同士が電気的にショートするのを防ぐことができる。

【0016】

(8) この半導体装置の製造方法において、

前記(e)工程で、前記絶縁部材を、前記半導体チップの側面よりも突出するように設けてもよい。

【0017】

これによれば、絶縁部材の突出部によって、例えば絶縁部材の両側に配置される導電層同士が電気的にショートするのを防ぐことができる。

【0018】

(9) この半導体装置の製造方法において、

前記(f)工程は、前記導電層同士を電気的に接続する第2の導電層を、少なくとも1つの前記半導体チップの側面に形成することを含んでもよい。

【0019】

これによれば、第2の導電層を半導体チップの側面に形成するので、半導体チップ同士の間を厚くすることなく、極めて薄い半導体装置を製造することができる。

【0020】

(10) この半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層を、前記半導体チップの高さ方向に延びるように形成することで、前記半導体チップの幅方向に一致してなる前記導電層同士を電気的に接続してもよい。

【0021】

(11) この半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層を、前記半導体チップの幅方向に延びる部分を有するように形成することで、前記半導体チップの幅方向にずれてなる前記導電層同士を電気的に接続してもよい。

【0022】

これによれば、さらに設計自由度の高い半導体装置を製造することができる。

【0023】

(12) この半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層の一部を前記絶縁部材の前記突出部に形成してもよい。

【0024】

これによれば、第2の導電層が他の部材と電気的にショートするのを防ぐことができる。

【0025】

(13) この半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層を、ろう材によって形成してもよい。

【0026】

(14) この半導体装置の製造方法において、

前記(f)工程で、前記第2の導電層を、導電性材料の微粒子を含む溶媒を吐出することで形成してもよい。

【0027】

これによれば、溶媒を吐出させることで、例えば複数の第2の導電層を一括して形成することができる。

【0028】

(15) この半導体装置の製造方法において、

少なくとも前記(d)工程後に、

(g) 複数の前記半導体チップを基板に搭載すること、及び、

(h) 前記半導体チップを前記基板の配線パターンに電気的に接続することをさらに含んでもよい。

【0029】

(16) この半導体装置の製造方法において、

前記(e)及び(g)工程を終了した後に、前記(f)及び(h)工程を行ってもよい。

【0030】

これによれば、複数の半導体チップを積層し、かつ、それらを基板に搭載した後に、電気的な接続工程を行う。すなわち、組み立て工程と、電気的な接続工程とを1回ずつ行うことで半導体装置を製造することができるので、製造工程が極めて簡単になる。

【0031】

(17) この半導体装置の製造方法において、

前記(h)工程で、前記導電層を、ろう材によって前記配線パターンに電気的に接続してもよい。

【0032】

(18) この半導体装置の製造方法において、

前記(h)工程で、前記導電層を、導電性材料の微粒子を含む溶媒を吐出することで前記配線パターンに電気的に接続してもよい。

【0033】

これによれば、溶媒を吐出させることで、例えば複数の導電層を一括して配線パターンに電気的に接続することができる。

【0034】

(19) 本発明に係る半導体装置は、上記方法によって製造されてなる。

【0035】

(20) 本発明に係る半導体装置は、第1の面を有し、集積回路及び電極が形成されるとともに積層されてなる複数の半導体チップと、

前記半導体チップの前記第1の面からそれに連続する側面にかけて連続的に形成された絶縁層と、

前記半導体チップの側面で前記絶縁層上に形成された導電層と、

前記複数の半導体チップのうち、いずれかの半導体チップの前記導電層と、他の半導体チップの前記導電層と、を電気的に接続する第2の導電層と、

を含み、

前記半導体チップの側面の前記導電層から露出する部分は、前記絶縁層で覆われてなり、

前記第2の導電層は、少なくとも1つの半導体チップの側面に形成されてなる

。

【0036】

本発明によれば、半導体チップの側面の導電層から露出する部分が絶縁層で覆われているので、導電層以外の部分での、外部との電気的な導通を遮断することができる。また、導電層は他の半導体チップによって覆われることないので、半導体チップの外形及び電極の位置に制限されることなく、設計自由度の高い半導体装置を提供することができる。さらに、第2の導電層は半導体チップの側面に形成されるので、半導体チップ同士の間を厚くすることなく、極めて薄い半導

体装置を提供することができる。

【0037】

(21) この半導体装置において、

前記導電層は、前記半導体チップの側面から前記第1の面にかけて連続的に形成されてもよい。

【0038】

これによれば、導電層は配線となるように形成されてもよい。

【0039】

(22) この半導体装置において、

前記導電層は、前記電極に電気的に接続されてもよい。

【0040】

(23) この半導体装置において、

前記複数の半導体チップは、前記電極の形成された面が同一方向を向くように積層されてもよい。

【0041】

(24) この半導体装置において、

前記複数の半導体チップは、いずれかの前記半導体チップの前記電極の形成された面が他の前記半導体チップの前記電極の形成された面とは反対方向を向くように積層されてもよい。

【0042】

(25) この半導体装置において、

前記半導体チップ同士の間に絶縁部材が設けられてもよい。

【0043】

これによって、半導体チップ同士が電気的にショートするのを防ぐことができる。

【0044】

(26) この半導体装置において、

前記絶縁部材は、前記半導体チップの側面よりも突出してもよい。

【0045】

これによれば、絶縁部材の突出部によって、例えば絶縁部材の両側に配置される導電層同士が電気的にショートするのを防ぐことができる。

【0046】

(27) この半導体装置において、

前記第2の導電層は、前記半導体チップの高さ方向に延びてなり、前記半導体チップの幅方向に一致してなる前記導電層同士を電気的に接続してもよい。

【0047】

(28) この半導体装置において、

前記第2の導電層は、前記半導体チップの幅方向に延びる部分を有し、前記半導体チップの幅方向にずれてなる前記導電層同士を電気的に接続してもよい。

【0048】

これによれば、さらに設計自由度の高い半導体装置を提供することができる。

【0049】

(29) この半導体装置において、

前記第2の導電層の一部は、前記絶縁部材の前記突出部に形成されてもよい。

【0050】

これによれば、第2の導電層が他の部材と電気的にショートするのを防ぐことができる。

【0051】

(30) この半導体装置において、

前記第2の導電層は、ろう材によって形成されてもよい。

【0052】

(31) この半導体装置において、

前記第2の導電層は、導電性材料の微粒子を含む溶媒によって形成されてもよい。

【0053】

(32) この半導体装置において、

配線パターンが形成された基板をさらに含み、

前記複数の半導体チップは、前記基板に搭載されるとともに、前記導電層を介

して前記配線パターンに電気的に接続されてもよい。

【0054】

(33) この半導体装置において、

前記複数の半導体チップの外形の大きさは、ほぼ同じであってもよい。

【0055】

(34) この半導体装置において、

前記複数の半導体チップのうち、いずれかの前記半導体チップの外形の大きさは、他の前記半導体チップの外形の大きさとは異なっていてもよい。

【0056】

(35) 本発明に係る回路基板には、上記半導体装置が実装されている。

【0057】

(36) 本発明に係る電子機器は、上記半導体装置を有する。

【0058】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。図1～図13は、本発明を適用した実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体基板（例えばシリコン基板）10を使用する。半導体基板10は、半導体ウエハであってもよい。図1では、半導体ウエハの一部が示されている。半導体基板10の平面形状は限定されないが、例えば半導体ウエハの場合には円形であることが一般的である。

【0059】

半導体基板10には、複数の集積回路（例えばトランジスタやメモリを有する回路）12が形成されている。半導体基板10には、複数の電極（例えばパッド）14が形成されている。各電極14は、集積回路12に電気的に接続されている。各電極14は、集積回路12に重ならない領域（図1では集積回路の外側の領域）に形成されてもよい。各電極14は、アルミニウム系又は銅系の金属で形成されてもよい。電極14の表面の形状は特に限定されないが矩形であることが多い。半導体基板10が半導体ウエハである場合、複数の半導体チップとなる各領域に、2つ以上（1グループ）の電極14が形成される。図1に示す例では、

電極14は、半導体チップとなる領域の4辺に沿って配列されているが、2辺に沿って配列されてもよいし、中央部に配列されてもよい。

【0060】

半導体基板10は、集積回路12が形成された側の第1の面20と、それとは反対の第2の面22と、を有する。複数の電極14は、第1の面20から外部に露出している。

【0061】

半導体基板10には、少なくとも1層の絶縁層（第2の絶縁層）16が形成されている。図2に示す例では、絶縁層16は、半導体基板10の第1の面20に形成されている。絶縁層16は、パッシベーション膜と呼ばれ、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができる。絶縁層16は、電極14の少なくとも一部を露出する開口部18を有する。絶縁層16は、電極14の表面を覆って形成した後、その一部をエッチングして電極14の一部を露出させてもよい。図2に示すように、絶縁層16は、電極14の中央部を開口して、外周端部を覆うように形成してもよい。

【0062】

図1及び図2に示される仮想ライン24は、半導体基板10を複数の領域（半導体チップとなる領域）に区画している。仮想ライン24は、集積回路12及び電極14を避けて形成されてもよい。各領域（半導体チップ）の外形は、矩形、円形又はその他の多角形であってもよいし、限定されるものではない。

【0063】

図3に示すように、半導体基板10に第1の面20から溝30を形成する。本実施の形態では、溝30は仮想ライン24に沿って形成する。すなわち、溝30は、半導体基板10を複数の半導体チップとなる領域に区画するように形成する。図3に示す例では、溝30は、集積回路12及び電極14を避けて形成している。溝30は、半導体基板10を、ブレードなどで切削することにより機械的に形成してもよいし、エッチングなどで化学的に形成してもよいし、レーザなどで光学的に形成してもよい。

【0064】

溝30は、第1の面20から傾斜してなるテーパ（例えば溝の開口方向に広がるテーパ）が付された壁面を有してもよいし、第1の面20から垂直に落ちる壁面を有してもよい。溝30は、底面が形成されて凹状になっていてもよいし、底面が形成されずにV状になっていてもよい。

【0065】

溝30は、半導体基板10を貫通しないように形成する。溝30は、完成品としての半導体チップの厚さよりも深くなるように形成する。また、溝30は、半導体基板10の内部に形成される集積回路12の素子及び配線よりも深くなるように形成する。なお、半導体基板10の溝30の内面には、半導体部分（例えばシリコン）が露出する。

【0066】

図4に示すように、半導体基板10に絶縁層40を形成する。絶縁層40の材料としては、酸化膜（例えばSiO₂）、窒化膜（例えばSiN）又は樹脂（例えばポリイミド樹脂）などが挙げられる。

【0067】

絶縁層40は、少なくとも溝30の内面に形成する。図4に示す例では、絶縁層40は、溝30の内壁面及び底面に形成しているが、溝30の内壁面のみに形成しても構わない。ただし、絶縁層40は、溝30を埋め込まないように形成する。すなわち、絶縁層40によって溝（又は凹部）を形成する。図4に示す例では、溝30の内面（図4では内壁面及び底面）の全部は、絶縁層40で覆われている。

【0068】

絶縁層40を溝30の内面から第1の面20にかけて連続的に形成してもよい。例えば、半導体基板10の第1の面20及び溝30の内面を覆って絶縁層40を形成し、必要な部分をエッチングして絶縁層40から露出させてもよい。図4に示す例では、絶縁層40の電極14を覆う一部をエッチングして、電極14を露出する開口部42を形成する。

【0069】

溝30の内面（詳しくは内壁面）と第1の面20との間の角部は、半導体チッ

プの角部に相当するので、絶縁層40によって半導体チップの角部を覆うことができる（図12参照）。したがって、半導体チップの角部を絶縁層で保護することができるので、チッピングの発生及び拡大を低減し、また、第1の面20に形成された集積回路12の素子及び配線の剥離を防止することができる。

【0070】

なお、第1の面20に絶縁層（第2の絶縁層）16が形成されている場合、絶縁層40の一部（第1の面上の部分）を絶縁層（第2の絶縁層）16上に形成する。

【0071】

図5に示すように、半導体基板10に導電層50を形成する。導電層50は、銅（Cu）、クロム（Cr）、チタン（Ti）、ニッケル（Ni）、チタンタンゲステン（Ti-W）、金（Au）、アルミニウム（Al）、ニッケルバナジウム（NiV）、タングステン（W）のうちのいずれかを積層して、あるいはいずれかの一層で形成してもよい。導電層50の形成工程としては、フォトリソグラフィを適用した後にエッチングすることで形成してもよいし、スパッタリングなど形成してもよいし、無電解メッキによるアディティブ法を適用することで形成してもよい。あるいは、インクジェット方式を使用して導電層50を形成してもよい。これによれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつ導電層50の材料を無駄なく経済的に設けることが可能である。

【0072】

導電層50は、溝30の内面（詳しくは内壁面）で絶縁層40上に形成する。図5に示す例では、導電層50は、溝30の内壁面及び底面に形成しているが、溝30の内壁面のみに形成しても構わない。ただし、導電層50は、溝30を埋め込まないように形成する。すなわち、絶縁層50によって溝（又は凹部）を形成する。溝30の内面と導電層50との間には、絶縁層40が介在するので、両者の電気的な接続が遮断される。

【0073】

導電層50は、溝30の内面に深さ方向に沿って延びるように形成してもよい

。あるいは、導電層50は、ランド状（円形又は矩形など）に形成してもよい。溝30の内面のうち導電層50から露出する部分は、絶縁層40が露出する。

【0074】

図6は、図5のVI-VI線断面図である。図6に示す例では、導電層50は、溝30の内側の方向に、絶縁層40の表面から突起するように形成されている。

【0075】

変形例として、図7に示すように、導電層54は、溝32の内面において、絶縁層44の表面と面一になるように形成されてもよい。その場合、導電層54は絶縁層44の内部に入り込む。他の変形例として、図8に示すように、導電層56は、溝34の内面において、絶縁層46の表面よりも窪むように形成されてもよい。その場合も、導電層56は、絶縁層46の内部に入り込む。ただし、導電層56は、絶縁層46で覆わずに露出させる。

【0076】

これらの変形例によれば、導電層54、56と絶縁層44、46との密着力が大きくなるので、導電層54、56を絶縁層44、46から剥離しにくくすることができる。なお、必要に応じて、導電層の形成工程後に、再度、絶縁層の形成工程を行って、絶縁層における導電層の周囲の部分を厚く形成してもよい。

【0077】

図5に示すように、導電層50を溝30の内面から第1の面20にかけて連続的に形成してもよい。すなわち、導電層50は、溝30の内面から第1の面20の方向に延びるように配線として形成してもよい。

【0078】

図5に示すように、導電層50を電極14に電気的に接続させてもよい。導電層50は、第1の面20に延びてなり、複数の絶縁層16、40の開口部18、42内で電極14と電気的に接続する接続部52を有する。接続部52は、電極14を覆うように形成してもよい。

【0079】

変形例として、導電層50を電極14に電気的に接続しなくてもよい。すなわち、導電層50は、ダミー配線（集積回路と導通しない配線）として形成しても

よい。

【0080】

これによれば、半導体チップの側面に導電層50を形成することができる。例えば、導電層50を電極14に電気的に接続されれば、半導体チップの側面に、集積回路12と電気的に接続した外部端子を容易に形成することができる。したがって、半導体チップ上の配線構造の自由度を向上させることができる。

【0081】

次に、半導体基板10の研磨工程を行い、複数の半導体チップ70に分割する。本実施の形態では、半導体基板10を、シート60によって保持した状態で研磨する。シート60は半導体基板10の保持部材である。

【0082】

図9に示すように、半導体基板10に、第1の面20からシート60を貼り付ける。シート60は、半導体基板10を第1の面20から保持する。シート60は、粘着材であってもよく、例えば、紫外線硬化型樹脂からなるUVテープであってもよい。UVテープによれば、紫外線の照射の有無によって、シート60の粘着力をコントロールできるので、半導体基板10の保持及び半導体チップ70の剥離に適している。

【0083】

図9に示す例では、シート60と半導体基板10との間に、樹脂などの充填材62が設けられ、シート60は充填材62を介して半導体基板10を保持している。充填材62は、少なくとも半導体基板10の溝30に充填され、図9に示すように、第1の面20にも設けられてもよい。充填材62は、シート60を貼り付ける前に、半導体基板10に第1の面20から塗布してもよく、あるいは、あらかじめシート60に設けておき、シート60を貼り付けることで溝30に設けてもよい。

【0084】

変形例として、充填材62なしで、半導体基板10にシート60を貼り付けてもよい。あるいは、シート60の一部が充填材62であってもよい。

【0085】

こうして、図10に示すように、半導体基板10を、第2の面22から研磨する。すなわち、半導体基板10の裏面をポリシングする。例えば、シート60が貼り付けられた半導体基板10をステージ（図示しない）に固定し、研磨用治具（図示しない）に備えられた砥石によって、半導体基板10を第2の面22から機械的に研磨する。本工程では、半導体基板10を溝30が露出する厚さまで研磨する。これによって、半導体基板10を複数の半導体チップ70に分割するとともに、各半導体チップ70を薄くすることができる。

【0086】

これによれば、半導体基板10に第1の面20からシート60を貼り付けているので、ばらばらに分割された複数の半導体チップ70を一括して保持することができる。したがって、分割後の複数の半導体チップ70の取り扱いを容易にすることができる。

【0087】

また、研磨工程のときに、溝30に充填材62が設けられているため、研磨工程で生じる粉状の異物が溝30に入り込むのを防ぐことができる。したがって、半導体チップ70の損傷及び異物の付着を防止して、半導体装置の信頼性を向上させることができる。

【0088】

図11に示すように、必要に応じて、複数の半導体チップ70の研磨面に絶縁層（第3の絶縁層）72を形成してもよい。複数の半導体チップ70がシート60に保持されていれば、複数の半導体チップ70の研磨面を一括して絶縁処理することができる。また、図11に示すように、複数の半導体チップ70の間に充填材62が設けられていれば、例えば、複数の半導体チップ70の研磨面を含む全面に絶縁層72を形成した後、絶縁層72における充填材62の部分をエッチングして除去すればよい。絶縁層72は、絶縁層40と同一の材料で形成されてもよい。絶縁層72を形成することで、半導体チップ70の研磨面における外部との電気的な導通を遮断することができる。また、半導体チップ70の半導体部分（例えばシリコン）の全面を、絶縁層16, 40, 72によって覆うことができるので、半導体チップ70の端子（例えば導電層50）以外の部分での、外部

との電気的な導通を遮断することができる。

【0089】

その後、半導体チップ70をシート60から剥離する。半導体チップ70とシート60との間に充填材62が設けられている場合には、半導体チップ70を充填材62から剥離する。例えば、それぞれの半導体チップ70を、シート60を介して、ツール（図示しない）によってピックアップする。こうして、個片の半導体チップ70を取り出すことができる。

【0090】

以上の工程によれば、絶縁層40を半導体基板10の溝30の内面に形成する。半導体基板10の溝30の内面は、複数の半導体チップ70の側面に相当する。したがって、半導体基板10の状態で、複数の半導体チップ70の側面を一括して絶縁処理することができる。また、半導体基板10を研磨する前に絶縁層40を形成するので、半導体基板10の割れ及び損傷を回避しつつ、極めて薄い半導体装置を製造することができる。

【0091】

上述の工程により、半導体装置1を製造することができる。半導体装置1は、集積回路12及び電極14が形成された半導体チップ70と、絶縁層40と、導電層50と、を含む。絶縁層40は、半導体チップ70の第1の面（図12では集積回路及び電極が形成された面）からそれに連続する側面にかけて連続的に形成されている。絶縁層40は、半導体チップ70の側面の全体を覆うことが好ましい。導電層50は、半導体チップ70の側面で絶縁層40上に形成されている。そして、半導体チップ70の側面の導電層50から露出する部分は、絶縁層40で覆われている。導電層50は、電極14との電気的な接続部52を有する。なお、その他の構成は、上述した製造方法によって得られる内容である。

【0092】

次に、図13に示すように、複数（図13では4つ）の半導体チップ70（詳しくは半導体装置1）を積層する。半導体チップ70は、他の半導体チップ70の電極14の形成された面又はそれとは反対の面に積層される。複数の半導体チップ70を接着材料84によって接着してもよい。上述の製造方法で得られた半

導体チップ70は、極めて薄いため、このように3次元的実装形態に使用すると効果的である。

【0093】

複数の半導体チップ70を、電極14の形成された面が同一方向（図13では基板とは反対方向）を向くように積層してもよい。変形例として、いずれかの半導体チップ70の電極14の形成された面は、他の半導体チップ70の電極14の形成された面とは反対方向を向いててもよい。

【0094】

図13に示すように、ほぼ同じ大きさの外形を有する複数の半導体チップ70を積層してもよい。その場合、各半導体チップ70の外周を一致させてもよい。言い換えれば、複数の半導体チップ70を、その外形の全部が重複するように積層してもよい。あるいは、複数の半導体チップ70を、その外形の一部が重複するように積層してもよい。

【0095】

変形例として、異なる大きさの外形を有する複数の半導体チップ70を積層してもよい。例えば、半導体チップ70にそれよりも外形の小さい他の半導体チップ70を順次積層し、全体がピラミッド形状になるようにしてもよい。

【0096】

図13に示すように、複数の半導体チップ70を基板80に搭載してもよい。基板80には、配線パターン82が形成されている。図13に示す例では、基板80は、回路基板（例えばマザーボード）である。回路基板には、他の電子部品（抵抗器、コンデンサ、コイルなど）も搭載される。あるいは、基板80は、半導体装置のインターポーラーであってもよい。その場合、基板80には、電気的な接続部となる外部端子（例えばハンダボール）が形成されている。

【0097】

複数の半導体チップ70を基板80上で積層してもよいし、積層した後に基板80に搭載してもよい。図13に示すように、複数の半導体チップ70を、電極14の形成された面が基板80とは反対方向を向くように、基板80に搭載してもよい。変形例として、電極14の形成された面が基板80の方向を向くように

してもよい。

【0098】

そして、複数の半導体チップ70同士を電気的に接続する。詳しくは、いずれかの半導体チップ70の導電層50と、他の半導体チップ70の導電層50と、を電気的に接続する。これによれば、全部の半導体チップ70を積層した後に、一括して複数の半導体チップ70同士を電気的に接続するので、製造工程が簡単である。

【0099】

複数の半導体チップ70を基板80に搭載した場合には、半導体チップ70を配線パターン82に電気的に接続する。半導体チップ70を、導電層50を介して、配線パターン82に電気的に接続してもよい。

【0100】

本実施の形態では、それらの電気的な接続工程を、複数の半導体チップ70を積層し、かつ、複数の半導体チップ70を基板80に搭載した後に行う。こうすることで、組み立て工程と、電気的な接続工程とを1回ずつ行うことで半導体装置を製造することができるので、製造工程が極めて簡単になる。

【0101】

図13に示すように、複数の半導体チップ70の導電層50同士を、第2の導電層90によって電気的に接続してもよい。第2の導電層90は、配線となるよう細長く形成してもよい。第2の導電層90は、少なくとも1つの半導体チップ70の側面に形成する。第2の導電層90は、半導体チップ70同士の間を通りように形成する。その場合、第2の導電層90は、半導体チップ70同士の間において、少なくとも1つの半導体チップ70の側面を通りように形成してもよい。これによれば、第2の導電層90を半導体チップ70の側面に形成するので、半導体チップ70同士の間を厚くすることなく、極めて薄い半導体装置を製造することができる。

【0102】

第2の導電層90を、導電性材料の微粒子を含む溶媒92を吐出することで形成してもよい。詳しくは、溶媒92の液滴を、液滴吐出装置86のノズルから吐

出する。これによれば、溶媒92を吐出させることで、例えば複数の第2の導電層90を一括して形成することができる。また、あらかじめ決定しておいたパターンに沿って溶媒92を吐出させれば、無駄なく簡単に第2の導電層90を形成することができる。

【0103】

導電性材料の微粒子を含む溶媒92の材料として、例えば、真空冶金株式会社製「パーフェクトゴールド」「パーフェクトシルバー」を使用してもよい。

【0104】

例えば、インクジェット方式を適用して、溶媒92の液滴を吐出させてもよい。その場合、液滴吐出装置86は、インクジェットヘッドであってもよい。インクジェットヘッドは、静電アクチュエータの構造を有し、詳しくはマイクロマシニング技術による微細加工技術を用いて形成された微小構造のアクチュエータを有する。このような微小構造のアクチュエータとしては、その駆動源として静電気力を用いている。インクジェットヘッドは、静電気力をを利用してノズルから溶媒92の液滴を吐出させる。これによれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつ材料を無駄なく経済的に吐出することが可能である。

【0105】

あるいは、ディスペンサによって溶媒92の液滴を吐出させてもよい。ディスペンサは取り扱いやすいので、簡単な工程で第2の導電層90を形成することができる。

【0106】

第2の導電層90をろう材（軟ろう及び硬ろうのいずれも含む）によって形成してもよい。ろう材は、ハンダペーストであってもよい。可能であれば、ろう材を液滴吐出装置86で吐出させてもよい。

【0107】

半導体チップ70の導電層50は、上述の導電性材料の微粒子を含む溶媒92によって配線パターン82に電気的に接続してもよいし、ろう材によって配線パターン82に電気的に接続してもよい。その場合、溶媒92又はろう材の液滴を

、インクジェット方式を適用して吐出させてもよい。図13に示すように、半導体チップ70同士の電気的な接続と、半導体チップ70と配線パターン82との電気的な接続とを同時に行えば、製造工程が簡単になる。

【0108】

図14に示すように、必要があれば、外部に露出する導電部分（導電層50及び第2の導電層90など）を被覆部材88で覆ってもよい。図14に示す例では、被覆部材88は、絶縁材料（例えば樹脂）からなるフィルムである。

【0109】

本実施の形態に係る半導体装置の製造方法によれば、半導体チップ70の側面に形成された導電層50によって、複数の積層された半導体チップ70を電気的に接続する。導電層50は、半導体基板10の状態で一括して形成することができるので、製造工程が簡単である。導電層50は、他の半導体チップ70によつて覆われることがないので、半導体チップ70の外形及び電極14の位置に制限されることなく、設計自由度の高い半導体装置（スタック型の半導体装置）を製造することができる。したがって、薄型かつ高集積の半導体装置を簡単な工程で製造することができる。

【0110】

こうして、スタック型の半導体装置を製造することができる。図14では、半導体装置が回路基板に実装されている。この半導体装置は、複数の半導体チップ70（詳しくは半導体装置1（図12参照））と、第2の導電層90と、を含む。第2の導電層90は、少なくとも1つの半導体チップ70の側面に形成されている。これによれば、バンプを介して上下の半導体チップ70を電気的に接続するよりも、バンプ高さを省略することができるので、極めて薄い半導体装置を提供することができる。なお、基板80がインターポーラである場合、この半導体装置は、基板80をさらに含む。

【0111】

半導体チップ70は、例えば、フラッシュメモリ、SRAM（Static RAM）又はDRAM（Dynamic RAM）などの各種メモリであってもよいし、MPU（Micro Processor Unit）又はMCU（Micro Controller Unit）などのマイクロプロセ

ッサであってもよい。複数の半導体チップ70の組み合わせとして、メモリ同士（例えばフラッシュメモリとSRAM、SRAM同士、DRAM同士）又はメモリとマイクロプロセッサなどがある。

【0112】

例えば、複数の半導体チップ70の少なくとも2つがメモリであるときに、同一配列の導電層50を第2の導電層90によって電気的に接続して、それぞれのメモリの同じアドレスのメモリセルに、情報の読み出し又は書き込みを行ってもよい。さらに、チップセレクト端子の接続においてのみ、第2の導電層90を分離しておくことで、同一配列の導電層50を用いて、少なくとも2つ（複数に可能である）の半導体チップ70を別々にコントロールしてもよい。チップセレクト端子は、例えば、矩形をなす半導体チップ70の4辺に、少なくとも1つずつ形成してもよい。チップセレクト端子を各辺ごとに配置を変更して形成すれば、設計上同一の半導体チップ70を積層した場合でも、各半導体チップ70を90°ずつ回転させれば、4つの半導体チップ70を別々にコントロールすることが可能である。

【0113】

その他の構成は、上述した製造方法によって得られる内容である。

【0114】

本実施の形態に係る半導体装置によれば、半導体チップ70の側面の導電層50から露出する部分が絶縁層で覆われているので、導電層50以外の部分での、外部との電気的な導通を遮断することができる。また、導電層50は他の半導体チップ70によって覆われることがないので、半導体チップ70の外形及び電極14の位置に制限されることなく、設計自由度の高い半導体装置を提供することができる。

【0115】

また、本実施の形態に係る半導体装置は、上述の製造方法から選択したいずれかの特定事項から導かれる構成を含み、その効果は上述の効果を備える。本実施の形態に係る半導体装置は、上述の製造方法とは異なる方法によって製造されるものを含む。

【0116】

次に、本実施の形態に係る半導体装置（スタック型の半導体装置）の変形例を説明する。なお、以下の説明では、他の形態（上述及び他の変形例）の内容と重複する部分は省略する。

【0117】

図15は、本実施の形態に係る半導体装置の第1の変形例を説明する図である。この半導体装置は、複数の半導体チップ70（詳しくは半導体装置1（図12参照））と、第2の導電層90と、を含み、最上層の半導体チップ70の電極14（詳しくは電極上の導電層の接続部52）にワイヤ100の一方の端部がボンディングされ、他方の端部が配線パターン82にボンディングされている。そして、複数の半導体チップ70及びワイヤ100は、樹脂などからなる封止部102によって封止されている。

【0118】

図16は、本実施の形態に係る半導体装置の第2の変形例を説明する図である。この半導体装置は、複数の半導体チップ70（詳しくは半導体装置1（図12参照））と、第2の導電層90と、を含み、最下層の半導体チップ70が基板80にフェースダウン実装されている。例えば、最下層の半導体チップ70の電極14にバンプ106が設けられ、ハンダなどのろう材108を介して、バンプ106と配線パターン82とが電気的に接続されてもよい。あるいは、両者の電気的な接続を、金属接合又は異方性導電材料による接合などで達成してもよい。必要があれば、最下層の半導体チップ70と基板80との間に、アンダーフィル材（例えば樹脂）104を設けてもよい。

【0119】

図16に示すように、少なくとも1つ（図16では上側3つ）の半導体チップ70の電極14の形成された面は、最下層の半導体チップ70の電極14の形成された面とは反対方向を向いててもよい。そして、図16に示す例では、最上層の半導体チップ70の電極14にワイヤ100の一方の端部がボンディングされ、他方の端部が配線パターン82にボンディングされている。これによれば、最上層及び最下層の両方の半導体チップ70から配線パターン82に電気的に接続さ

せることができる。

【0120】

図16に示すように、半導体チップ70同士の間に絶縁部材110（例えば絶縁性の基板）が設けられてもよい。これによって、半導体チップ70同士が電気的にショートするのを確実に防ぐことができる。絶縁部材110は、半導体チップ70の外形の全部と重なってもよいし、一部と重なっていてもよい。図16に示すように、絶縁部材110を、半導体チップ70の側面よりも突出するように設けてもよい。これによれば、絶縁部材110の突出部112によって、例えば絶縁部材110の両側（上側と下側）に配置される導電層50同士が電気的にショートするのを防ぐことができる。例えば、第2の導電層90を導電性材料の微粒子を含む溶媒を吐出させて形成する場合に、突出部112によって溶媒の流動を規制することができるので、導電層50同士が電気的にショートするのを確実に防ぐことができる。

【0121】

図17は、本実施の形態に係る半導体装置の第3の変形例を説明する図であり、図18のXVII-XVII線断面図に相当する。図18は、半導体装置の側面図である。この半導体装置は、絶縁部材110を有する。図17に示す例では、最上層の半導体チップ70とその下層の半導体チップ70との間に、絶縁部材110が設けられている。そして、絶縁部材110は、半導体チップ70の外形の一部と重なっている（図18参照）。その他の構成は第1の変形例で説明した内容と同一である。

【0122】

図18に示すように、複数の半導体チップ70の側面には、複数の導電層50が露出している。複数の導電層50は、複数行複数列に配列されてもよい。複数の導電層50は、電極14と導通してなる第1の端子120と、電極14と導通していない第2の端子（ダミー端子）122と、のいずれかである。

【0123】

第2の導電層90は、半導体チップ70の高さ方向（図18では縦方向）に延びるように形成されてもよい。そして、第2の導電層90は、半導体チップ70

の幅方向（図18では横方向）に一致してなる導電層50同士を電気的に接続する。言い換れば、第2の導電層90は、同一列に配置された複数の導電層50を電気的に接続する。その場合、第2の導電層90を、少なくとも2つの第1の端子120を結ぶように形成する。図18の最も右側の列に示すように、第2の導電層90は、少なくとも2つの第1の端子120の間で、少なくとも1つの第2の端子122を通ってもよい。これによれば、第2の導電層90を第2の端子122を避けて引き回さずに済むので、製造工程が簡単である。

【0124】

第2の導電層90は、半導体チップ70の幅方向に延びる部分を有してもよい。そして、第2の導電層90は、半導体チップ70の幅方向にずれてなる導電層50同士を電気的に接続する。言い換れば、第2の導電層90は、異なる列（図18では隣の列同士であるが1列又は複数列を飛ばしてもよい）に配置された複数の導電層50を電気的に接続する。その場合、第2の導電層90の一部は、絶縁部材110の突出部112に形成されてもよい。こうすることで、第2の導電層90が他の部材（例えば接続したくない導電層50）と電気的にショートするのを防ぐことができる。なお、第2の導電層90は、図18に示す例とは別に同一行に配置された第2の端子122を通ってもよい。

【0125】

図19は、本実施の形態に係る半導体装置の第4の変形例を説明する図であり、図20のXIX-XIX線断面図に相当する。図20は、半導体装置の平面図である。この半導体装置は、半導体チップ70（詳しくは半導体装置1（図12参照））と、半導体チップ70よりも小さい外形を有する半導体チップ71（詳しくは半導体装置3）と、第2の導電層90と、を含む。半導体装置3のその他の構成は、上述の半導体装置1の構成と同一である。図19に示す例では、複数の半導体チップ70が積層され、最上層に半導体チップ71がさらに積層されている。そして、図20に示すように、最上層の下層の半導体チップ70には、電極14の形成された面に、導電層50の一部が配線となって引き回されている。その場合、導電層50は、半導体チップ70の端部に形成された電極14から中央部に延びるように形成されてもよい。そして、半導体チップ70の中央部に、半導体

チップ71が積層されてもよい。第2の導電層90は、半導体チップ70、71の導電層50同士を電気的に接続する。

【0126】

上述した半導体装置を有する電子機器として、図21には、ノート型パソコンルコンピュータ1000が示され、図22には、携帯電話2000が示されている。

【0127】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図1】 図1は、本発明の実施の形態で使用される半導体基板の一部を示す図である。

【図2】 図2は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図3】 図3は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図4】 図4は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図5】 図5は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図6】 図6は、図5のVI-VI線断面図である。

【図7】 図7は、本発明の実施の形態に係る半導体装置の製造方法の変形例を示す図である。

【図8】 図8は、本発明の実施の形態に係る半導体装置の製造方法の変形

例を示す図である。

【図9】 図9は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図10】 図10は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図11】 図11は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図12】 図12は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図13】 図13は、本発明の実施の形態に係る半導体装置の製造方法を示す図である。

【図14】 図14は、本発明の実施の形態に係る半導体装置を示す図である。

【図15】 図15は、本発明の実施の形態に係る半導体装置の第1の変形例を示す図である。

【図16】 図16は、本発明の実施の形態に係る半導体装置の第2の変形例を示す図である。

【図17】 図17は、本発明の実施の形態に係る半導体装置の第3の変形例を示す図である。

【図18】 図18は、本発明の実施の形態に係る半導体装置の第3の変形例を示す図である。

【図19】 図19は、本発明の実施の形態に係る半導体装置の第4の変形例を示す図である。

【図20】 図20は、本発明の実施の形態に係る半導体装置の第4の変形例を示す図である。

【図21】 図21は、本発明の実施の形態に係る電子機器を示す図である

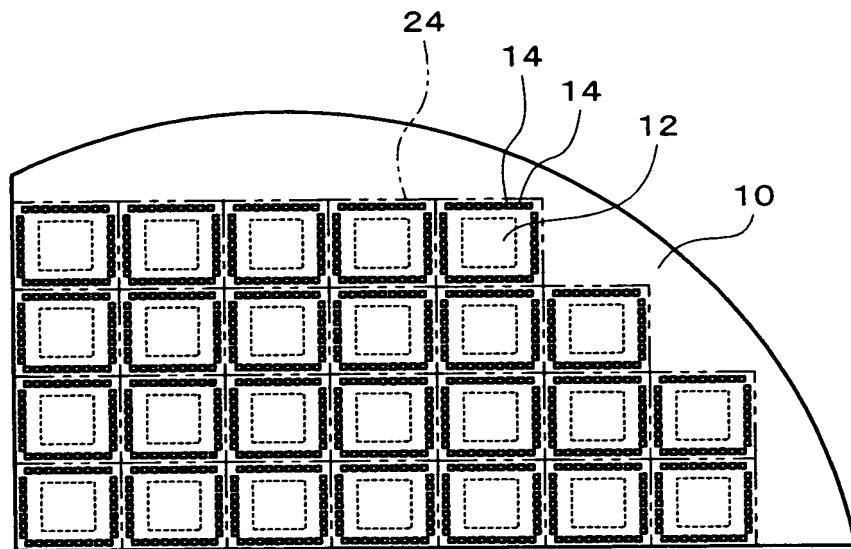
【図22】 図22は、本発明の実施の形態に係る電子機器を示す図である

【符号の説明】

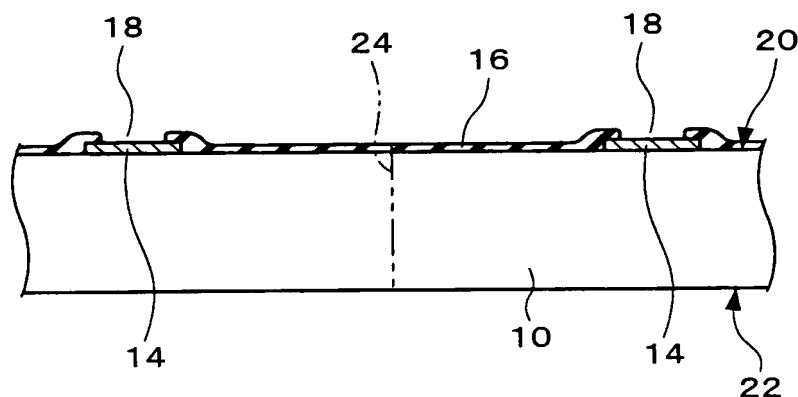
10 半導体基板、 12 集積回路、 14 電極、 20 第1の面、
22 第2の面、 30, 32, 34 溝、 40, 44, 46 絶縁層、
50, 54, 56 導電層、 70 半導体チップ、 80 基板、
82 配線パターン、 90 第2の導電層、 92 溶媒

【書類名】 図面

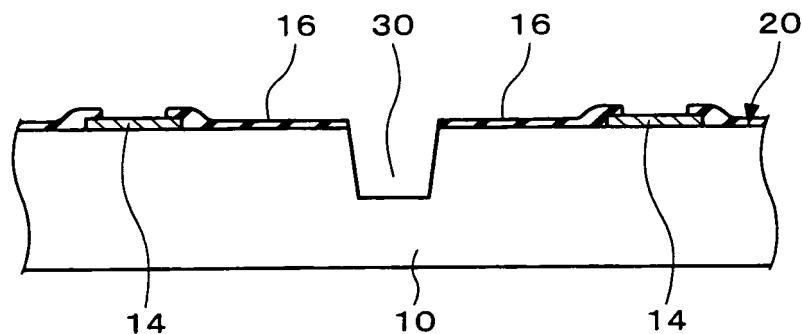
【図1】



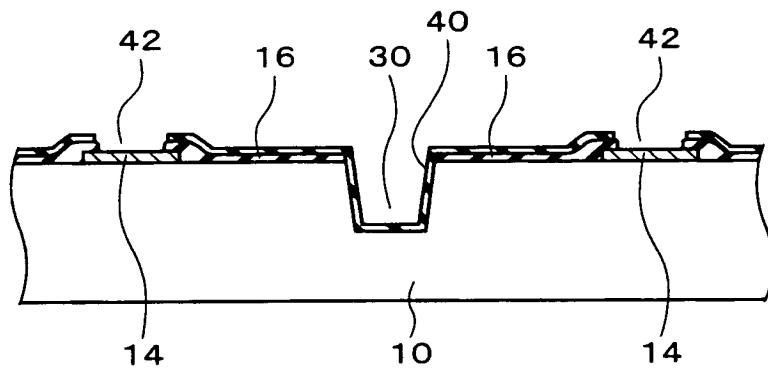
【図2】



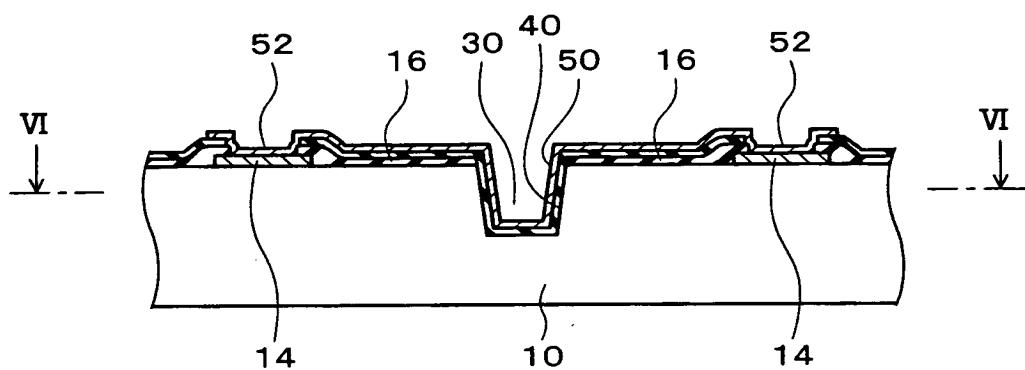
【図3】



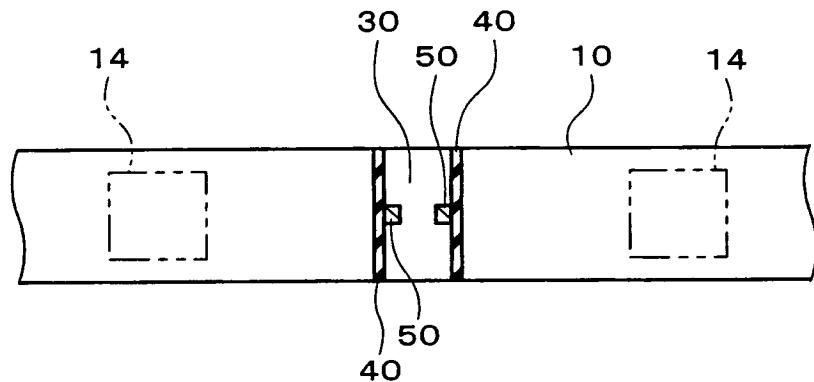
【図4】



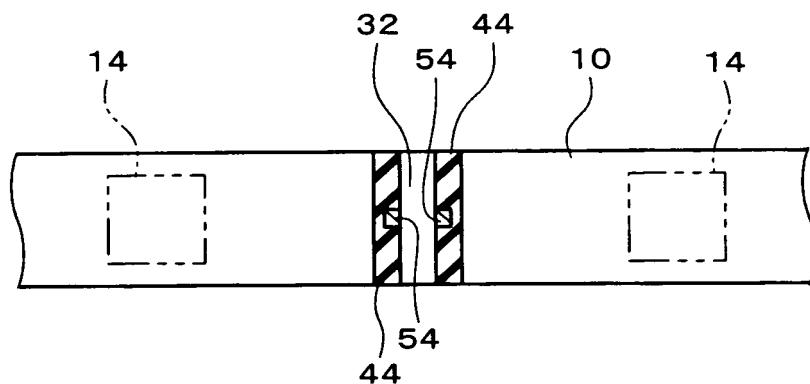
【図5】



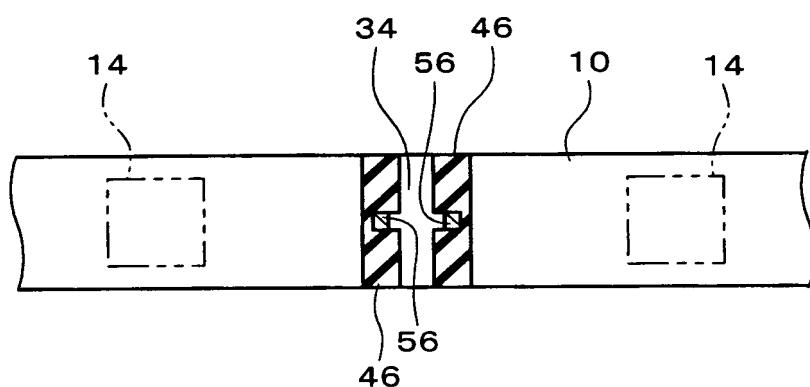
【図6】



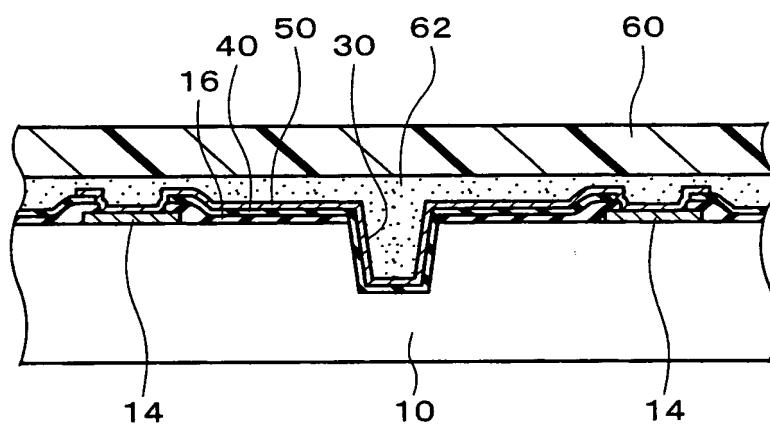
【図7】



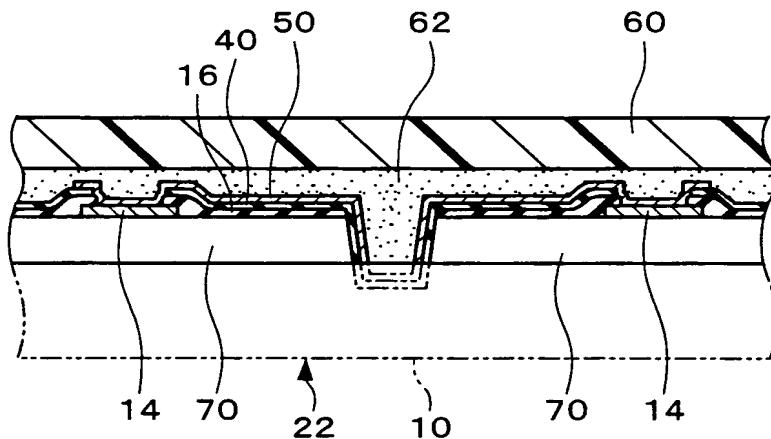
【図8】



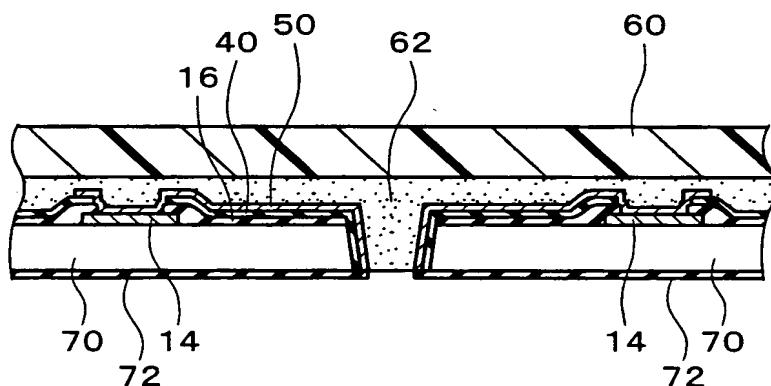
【図9】



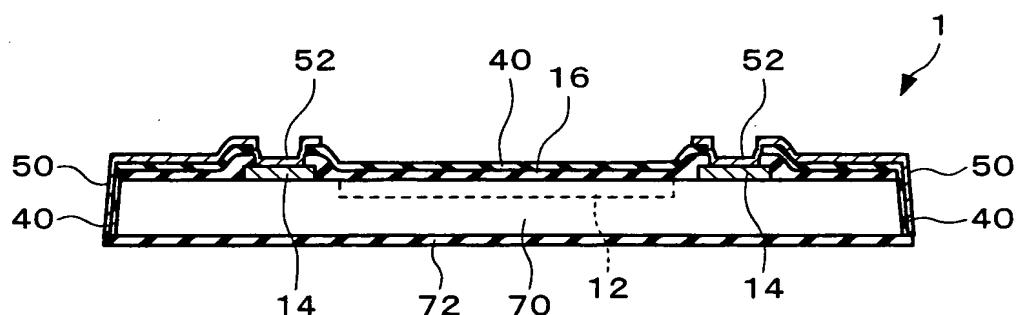
【図10】



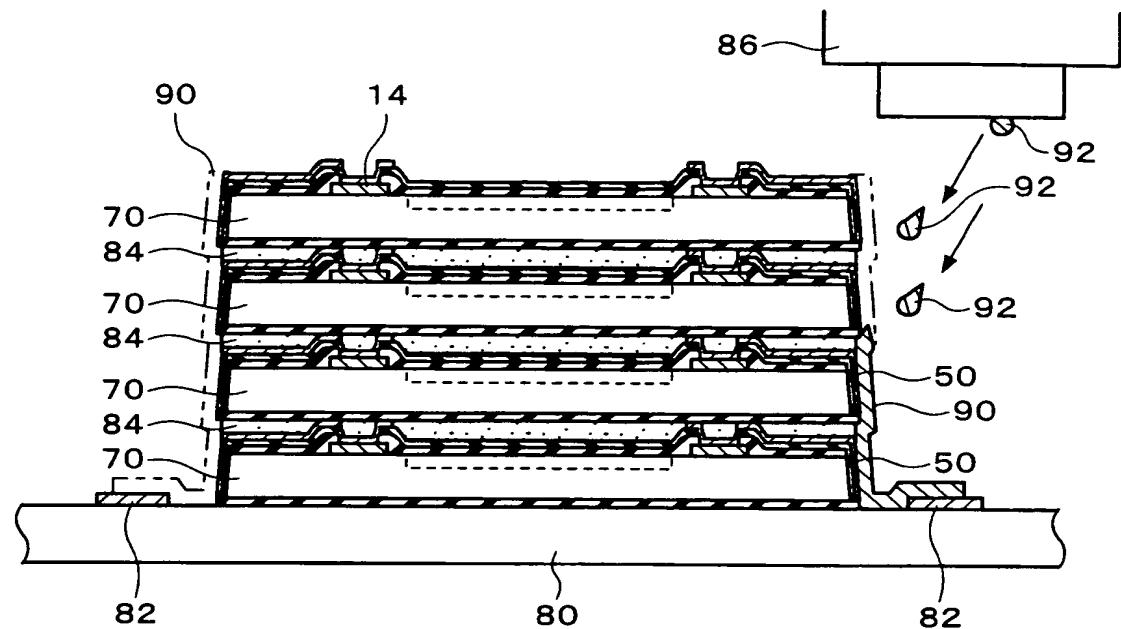
【図11】



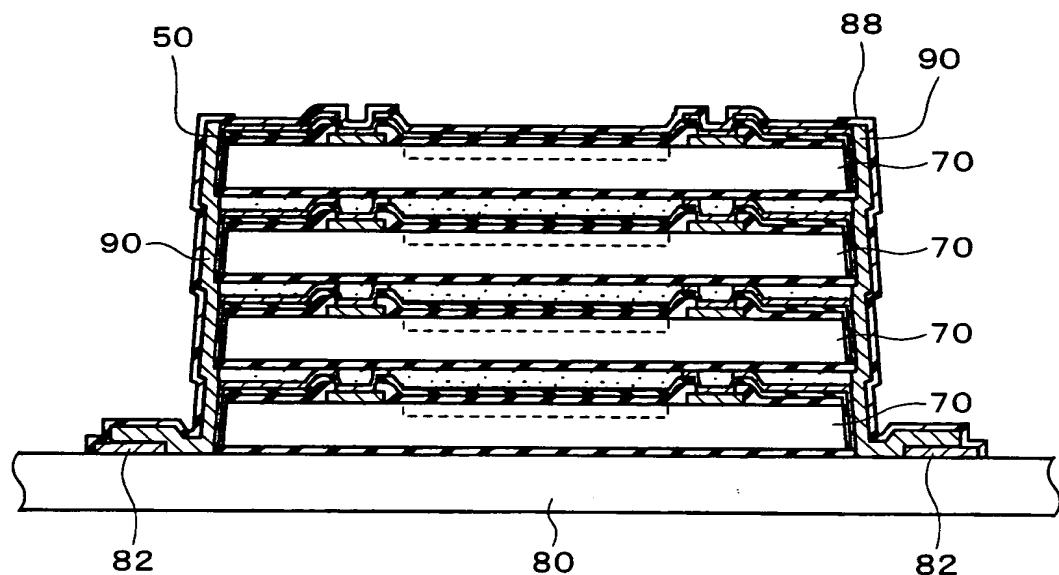
【図12】



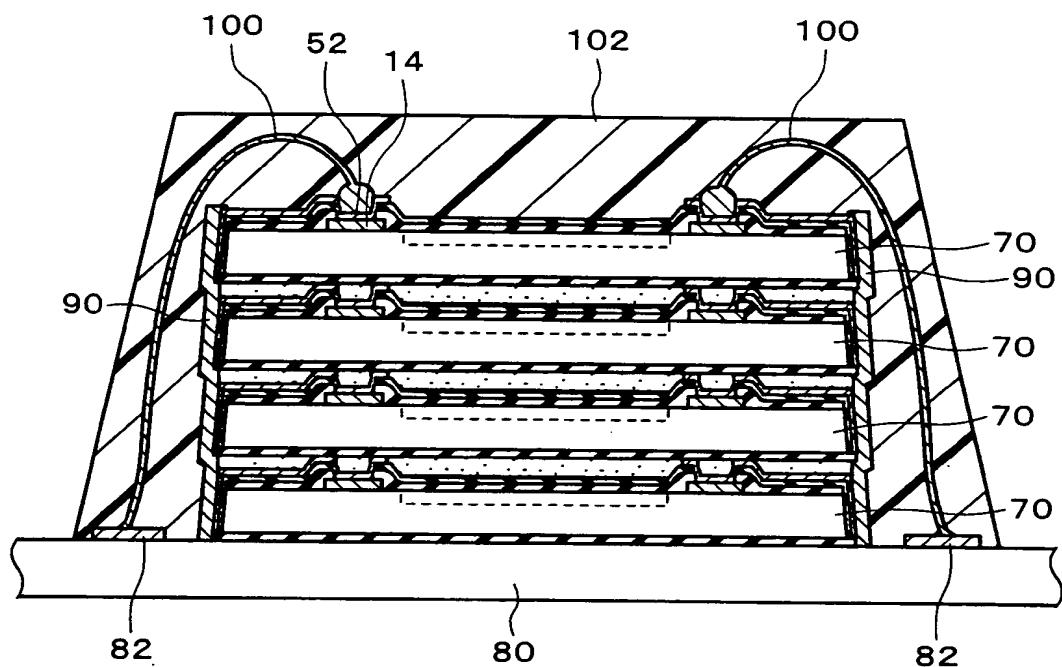
【図13】



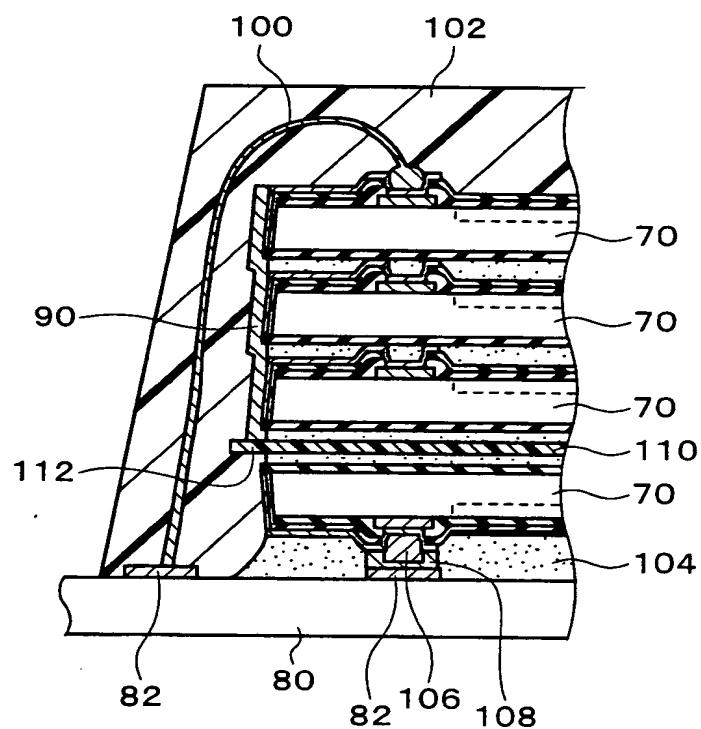
【図14】



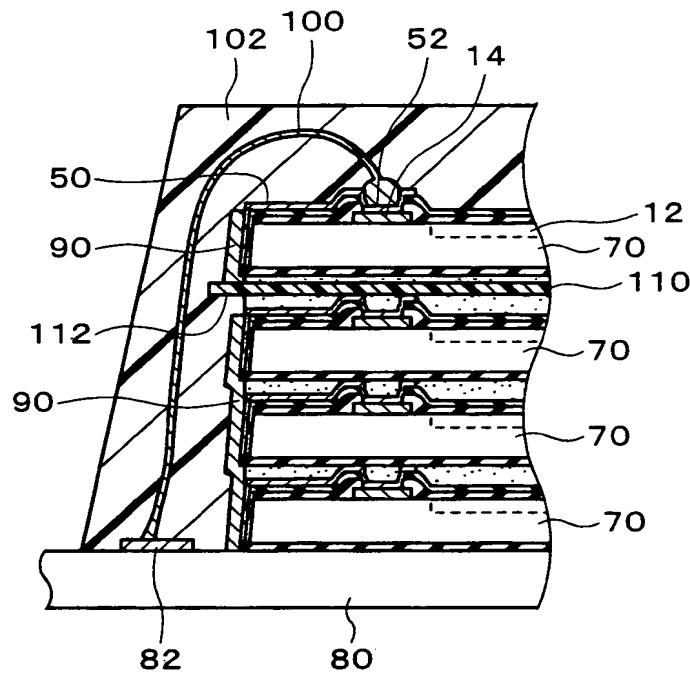
【図15】



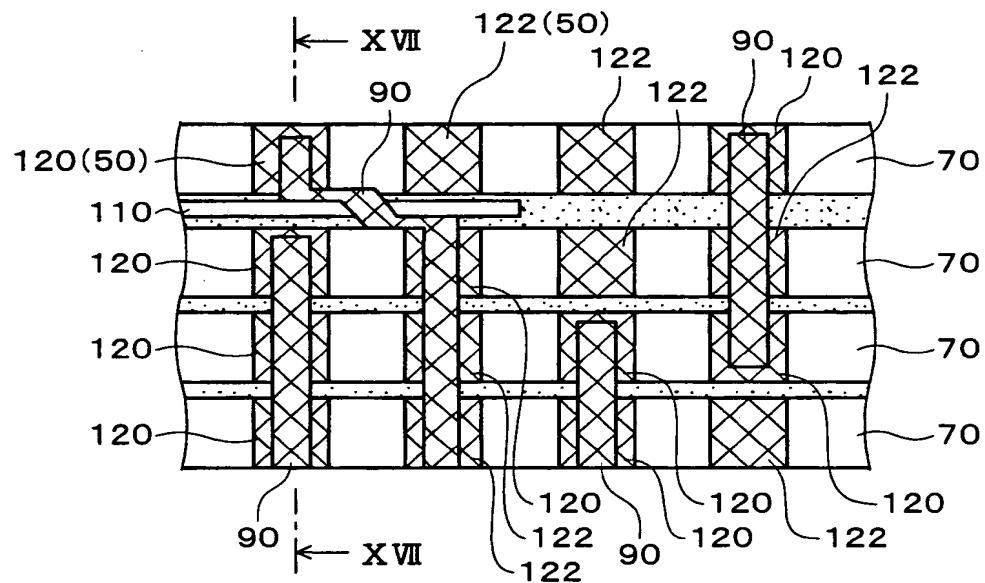
【図16】



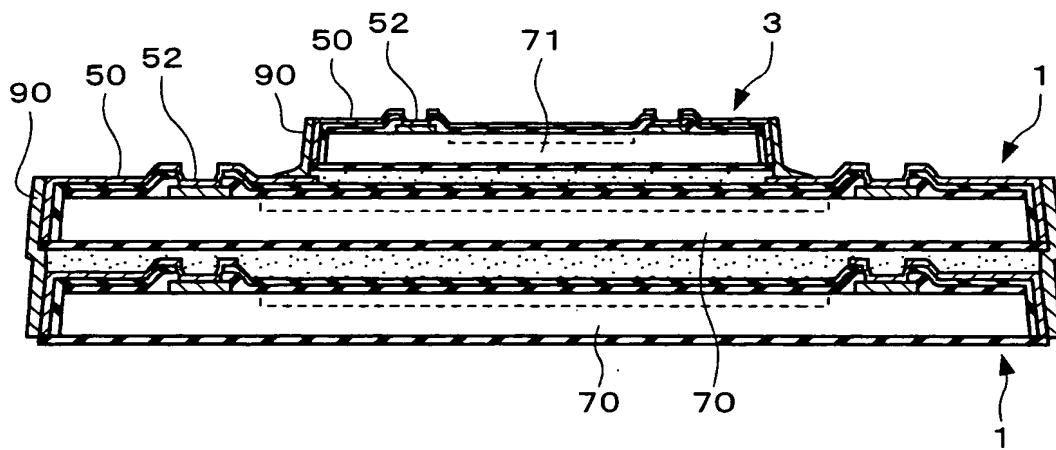
【図17】



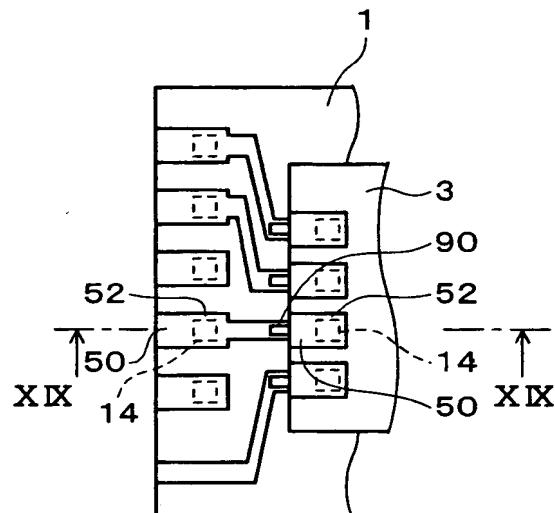
【図18】



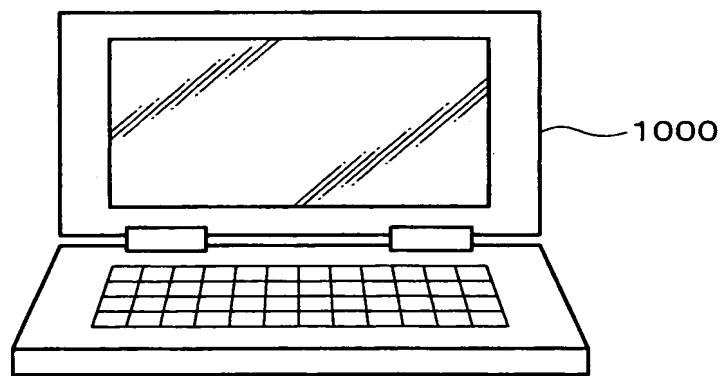
【図19】



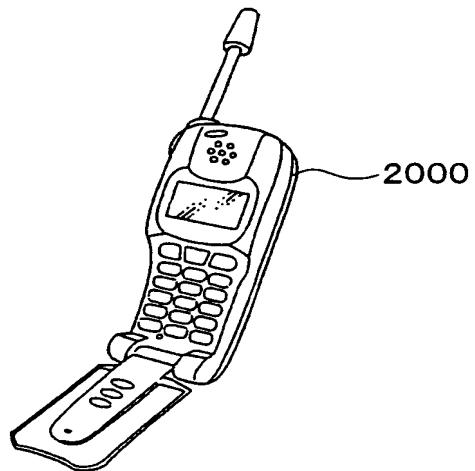
【図20】



【図21】



【図22】



【書類名】 要約書

【要約】

【課題】 薄型かつ高集積の半導体装置を簡単な工程で製造することにある。

【解決手段】 集積回路12及び電極14が形成された半導体基板10に第1の面20から溝30を形成する。少なくとも溝30の内面に絶縁層40を形成する。溝30の内面で絶縁層40上に導電層50を形成する。半導体基板10を第1の面20とは反対側の第2の面22から溝30が露出する厚さまで研磨して、半導体基板10を、導電層50が側面に露出してなる複数の半導体チップ70に分割する。複数の半導体チップ70を積層する。複数の半導体チップ70のうち、いずれかの半導体チップ70の導電層50と、他の半導体チップ70の導電層50と、を電気的に接続する。

【選択図】 図13

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号

氏名 セイコーエプソン株式会社